

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平5-327695

(43)公開日 平成5年(1993)12月10日

(51)Int.Cl. ⁵	識別記号	序内整理番号	F I	技術表示箇所
H 04 L 9/18				
G 06 F 7/58	A	9188-5B		
G 09 C 1/00		9194-5L		
H 04 N 1/44		2109-5C		
		7117-5K	H 04 L 9/02	B
			審査請求 有	請求項の数 4(全 8 頁) 最終頁に続く

(21)出願番号 特願平4-135304

(22)出願日 平成4年(1992)5月27日

(71)出願人 391004104

株式会社毎日放送

大阪府大阪市北区茶屋町17番1号

(72)発明者 齋藤 友宏

大阪市北区茶屋町17番1号 株式会社毎日
放送内

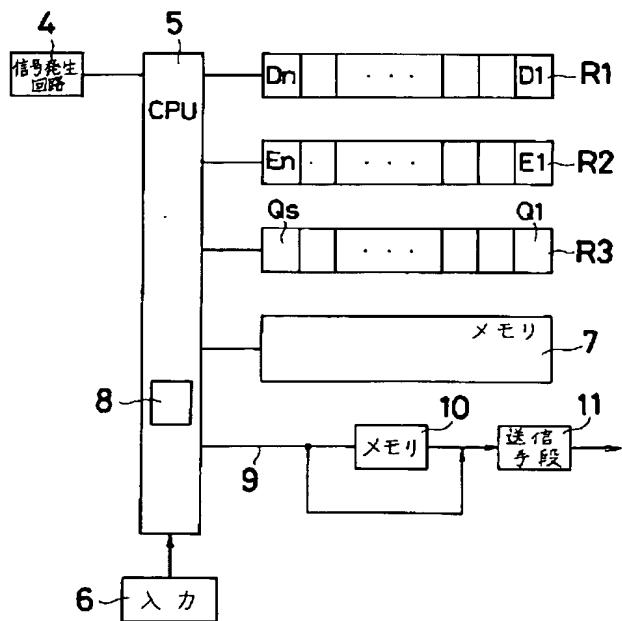
(74)代理人 弁理士 西教 圭一郎 (外3名)

(54)【発明の名称】 スクランブル方法および装置

(57)【要約】

【目的】 テレビジョン・ファクシミリ多重放送のファクシミリ信号のスクランブルを、マイクロコンピュータのソフトウェアなどによって実現すること。

【構成】 複数nのセルを有する第1レジスタR1に初期値を設定し、その内容を第2レジスタR2に転送し第3レジスタR3をクリアした後、第2レジスタR2の最下位ビットを第3レジスタR3に加え、第2レジスタR2のストア内容を、予め定める数($f - (k+1) - f_k$)のビット分だけ、下位方向にシフトし、最終出力D $f - k$ と、1ビット分のセルを有する第3レジスタR3のストア内容との排他的論理和演算を行い第3レジスタR3にストアし、 $k = 1$ から予め定める数iまで繰返し、第1レジスタR1の最下位ビットを、メモリに順にストアし、次に第1レジスタR1を1ビット分だけ下位方向にシフトするとともに第3レジスタR3の最下位ビットを第1レジスタR1の最上位ビットに転送し、このような演算を予め定める回数Mだけ繰返した後、送信すべき信号の各ビットと、メモリのストア内容の各ビットとの排他的論理和を演算して出力する。



【特許請求の範囲】

【請求項1】 複数nのセルを有する第1レジスタR1に初期値を設定する第1ステップと、

第1レジスタR1の内容を保持したままで、第1レジスタR1と同数のセルを有する第2レジスタR2に、第1レジスタR1の内容を転送し、さらに複数のセルを有する第3レジスタR3をクリアする第2ステップと、
第2レジスタR2の最下位ビットを、第3レジスタR3に加え、第2レジスタR2のストア内容を、予め定める数($f_{(k+1)} - f_k$)のビット分だけ下位方向にシフトし、その最終出力D_{f k}を、第3レジスタR3に加え、この演算を、k=1から予め定める数iまで繰返す第3ステップと、

第1レジスタR1の最下位ビットを、メモリに順にストアする第4ステップと、

第1レジスタR1を1ビット分だけ下位方向にシフトし、かつ第3レジスタR3の最下位ビットのストア内容を、第1レジスタR1の最上位ビットに転送する第5ステップとを含み、

第2ステップ～第5ステップを予め定める回数Mだけ繰返した後、送信すべき信号の各フレーム毎に各ビットと、メモリのストア内容の各ビットとの排他的論理和を演算して出力する第6ステップとを含むことを特徴とするスクランブル方法。

【請求項2】 複数nのセルを有する第1レジスタR1に初期値を設定する第1ステップと、

第1レジスタR1の内容を保持したままで、第1レジスタR1と同数のセルを有する第2レジスタR2に、第1レジスタR1の内容を転送し、さらに1ビット分のセルを有する第3レジスタR3をクリアする第2ステップと、

第2レジスタR2の最下位ビットを、第3レジスタR3に加え、第2レジスタR2のストア内容を、予め定める数($f_{(k+1)} - f_k$)のビット分だけ下位方向にシフトし、その最終出力D_{f k}と、第3レジスタR3のストア内容との排他的論理和演算を行い第3レジスタR3にストアし、この演算を、k=1から予め定める数iまで繰返す第3ステップと、

第1レジスタR1の最下位ビットを、メモリに順にストアする第4ステップと、

第1レジスタR1を1ビット分だけ下位方向にシフトし、かつ第3レジスタR3のストア内容を、第1レジスタR1の最上位ビットに転送する第5ステップとを含み、

第2ステップ～第5ステップを予め定める回数Mだけ繰返した後、送信すべき信号の各フレーム毎に各ビットと、メモリのストア内容の各ビットとの排他的論理和を演算して出力する第6ステップとを含むことを特徴とするスクランブル方法。

【請求項3】 複数nのセルを有する第1レジスタR1

と、

第1レジスタR1と同数のセルを有する第2レジスタR2と、

複数のセルを有する第3レジスタR3と、
メモリと、

処理回路であって、第1レジスタR1に初期値を設定した後、第3レジスタR3をクリアし、第1レジスタR1の内容を保持したままで、その第1レジスタR1の内容を第2レジスタR2に転送し、第2レジスタR2の最下位ビットを第3レジスタR3に加え、第2レジスタR2のストア内容を予め定める数($f_{(k+1)} - f_k$)のビット分だけ下位方向にシフトし、その最終出力D_{f k}を第3レジスタR3のストア内容に加え、この演算を、

k=1から予め定める数iまで繰返し、第1レジスタR1の最下位ビットを、メモリに順にストアし、次に、第1レジスタR1を1ビットだけ下位方向にシフトし、かつ第3レジスタR3の最下位ビットのストア内容を第1レジスタR1の最上位ビットに転送し、このような動作を予め定める回数Mだけ繰返した後、送信すべき信号の各フレーム毎に各ビットとメモリのストア内容の各ビットとの排他的論理和を演算して出力する、そのような処理回路とを含むことを特徴とするスクランブル装置。

【請求項4】 複数nのセルを有する第1レジスタR1と、

第1レジスタR1と同数のセルを有する第2レジスタR2と、

1ビットのセルを有する第3レジスタR3と、
メモリと、

処理回路であって、第1レジスタR1に初期値を設定した後、第3レジスタR3をクリアし、第1レジスタR1の内容を保持したままで、その第1レジスタR1の内容を第2レジスタR2に転送し、第2レジスタR2の最下位ビットを第3レジスタR3に加え、第2レジスタR2のストア内容を予め定める数($f_{(k+1)} - f_k$)のビット分だけ下位方向にシフトし、その最終出力D_{f k}と、第3レジスタR3のストア内容との排他的論理和演算を行い第3レジスタR3にストアし、この演算を、k=1から予め定める数iまで繰返し、第1レジスタR1の最下位ビットを、メモリに順にストアし、次に、第1

レジスタR1を1ビットだけ下位方向にシフトし、かつ第3レジスタR3のストア内容を第1レジスタR1の最上位ビットに転送し、このような動作を予め定める回数Mだけ繰返した後、送信すべき信号の各フレーム毎に各ビットとメモリのストア内容の各ビットとの排他的論理和を演算して出力する、そのような処理回路とを含むことを特徴とするスクランブル装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、たとえばテレビジョン・ファクシミリ多重放送においてファクシミリ信号のス

クランブルを行うためなど擬似乱数符号重畳方式に対して好適に実施することができるスクランブル方法および装置に関する。

【0002】

【従来の技術】従来技術による擬似乱数符号重畳方式(PN加算方式と呼ばれている)のスクランブル方法の一例は、図3に示されている。この先行技術は、合計n個のセルD1～Dnを有する線型シフトレジスタによって生成されたPN信号(擬似乱数符号系列)を排他的論理和演算する。システムによって予め定められたビット数のフレームと呼ばれるブロック毎に行われる初期化に際しては、シフトレジスタのセルD1～Dnに、論理「1」または論理「0」の論理値P1～Pnを設定し、外部から加えられるクロック信号に同期し、各セルD1～Dnの論理値が出力され、図3の左から右に隣接するセルへ入力される。最も右側のセルD1の出力と第f1番目のセルDf1の出力とが排他的論理和ゲートGf1に与えられ、排他的論理和ゲートGf2には前段の排他的論理和ゲートGf1の出力と第f2番目のセルDf2の出力とが与えられ、最終段の排他的論理和ゲートGfiの出力は最も左側のセルDnに入力される。最も右側のセルD1の出力と、PN加算されるべき信号が、1クロック信号毎に1ビット分ずつライン1を介して排他的論理和ゲートG0に入力される。

【0003】こうして送信された信号は、図4に示されるように受信回路2によって受信され、図3で示される構成と同様なセルD1～Dnを有するシフトレジスタと排他的論理和ゲートGf1～Gfiとを含む回路の出力とともに排他的論理和ゲートG01に与えられ、ライン3からは、元の信号、すなわち図3のライン1に与えられた信号が得られる。図3における送信側の初期値設定のためのフレーム同期およびクロック信号と、図4における受信側での初期値設定のためのフレーム同期およびクロック信号とは、同期される。

【0004】このような図3および図4に示される構成は、いわゆるハードウェアによって実現されるものであり、したがってこのようなスクランブル動作を、もっと簡単な方法で実現することが望まれる。

【0005】

【発明が解決しようとする課題】本発明の目的は、任意のハードウェア構成に対して、ソフトウェアの対応のみで簡単にスクランブルを実現することができる方法および装置を提供することである。

【0006】

【課題を解決するための手段】本発明は、複数nのセルを有する第1レジスタR1に初期値を設定する第1ステップと、第1レジスタR1の内容を保持したままで、第1レジスタR1と同数のセルを有する第2レジスタR2に、第1レジスタR1の内容を転送し、さらに複数のセルを有する第3レジスタR3をクリアする第2ステップ

と、第2レジスタR2の最下位ビットを、第3レジスタR3に加え、第2レジスタR2のストア内容を、予め定める数(f(k+1) - fk)のビット分だけ下位方向にシフトし、その最終出力Dfkを、第3レジスタR3に加え、この演算を、k=1から予め定める数iまで繰返す第3ステップと、第1レジスタR1の最下位ビットを、メモリに順にストアする第4ステップと、第1レジスタR1を1ビット分だけ下位方向にシフトし、かつ第3レジスタR3の最下位ビットのストア内容を、第1レジスタR1の最上位ビットに転送する第5ステップとを含み、第2ステップ～第5ステップを予め定める回数Mだけ繰返した後、送信すべき信号の各フレーム毎に各ビットと、メモリのストア内容の各ビットとの排他的論理和を演算して出力する第6ステップとを含むことを特徴とするスクランブル方法である。

【0007】また本発明は、複数nのセルを有する第1レジスタR1に初期値を設定する第1ステップと、第1レジスタR1の内容を保持したままで、第1レジスタR1と同数のセルを有する第2レジスタR2に、第1レジスタR1の内容を転送し、さらに1ビット分のセルを有する第3レジスタR3をクリアする第2ステップと、第2レジスタR2の最下位ビットを、第3レジスタR3に加え、第2レジスタR2のストア内容を、予め定める数(f(k+1) - fk)のビット分だけ下位方向にシフトし、その最終出力Dfkと、第3レジスタR3のストア内容との排他的論理和演算を行い第3レジスタR3にストアし、この演算を、k=1から予め定める数iまで繰返す第3ステップと、第1レジスタR1の最下位ビットを、メモリに順にストアする第4ステップと、第1レジスタR1を1ビット分だけ下位方向にシフトし、かつ第3レジスタR3のストア内容を、第1レジスタR1の最上位ビットに転送する第5ステップとを含み、第2ステップ～第5ステップを予め定める回数Mだけ繰返した後、送信すべき信号の各フレーム毎に各ビットと、メモリのストア内容の各ビットとの排他的論理和を演算して出力する第6ステップとを含むことを特徴とするスクランブル方法である。

【0008】また本発明は、複数nのセルを有する第1レジスタR1と、第1レジスタR1と同数のセルを有する第2レジスタR2と、複数のセルを有する第3レジスタR3と、メモリと、処理回路であって、第1レジスタR1に初期値を設定した後、第3レジスタR3をクリアし、第1レジスタR1の内容を保持したままで、その第1レジスタR1の内容を第2レジスタR2に転送し、第2レジスタR2の最下位ビットを第3レジスタR3に加え、第2レジスタR2のストア内容を予め定める数(f(k+1) - fk)のビット分だけ下位方向にシフトし、その最終出力Dfkを第3レジスタR3のストア内容に加え、この演算を、k=1から予め定める数iまで繰返し、第1レジスタR1の最下位ビットを、メモリに

順にストアし、次に、第1レジスタR1を1ビットだけ下位方向にシフトし、かつ第3レジスタR3の最下位ビットのストア内容を第1レジスタR1の最上位ビットに転送し、このような動作を予め定める回数Mだけ繰返した後、送信すべき信号の各フレーム毎に各ビットとメモリのストア内容の各ビットとの排他的論理和を演算して出力する、そのような処理回路とを含むことを特徴とするスクランブル装置である。

【0009】また本発明は、複数nのセルを有する第1レジスタR1と、第1レジスタR1と同数のセルを有する第2レジスタR2と、1ビットのセルを有する第3レジスタR3と、メモリと、処理回路であって、第1レジスタR1に初期値を設定した後、第3レジスタR3をクリアし、第1レジスタR1の内容を保持したままで、その第1レジスタR1の内容を第2レジスタR2に転送し、第2レジスタR2の最下位ビットを第3レジスタR3に加え、第2レジスタR2のストア内容を予め定める数($f_{(k+1)} - f_k$)のビット分だけ下位方向にシフトし、その最終出力D_{f k}と、第3レジスタR3のストア内容との排他的論理和演算を行い第3レジスタR3にストアし、この演算を、 $k = 1$ から予め定める数iまで繰返し、第1レジスタR1の最下位ビットを、メモリに順にストアし、次に、第1レジスタR1を1ビットだけ下位方向にシフトし、かつ第3レジスタR3のストア内容を第1レジスタR1の最上位ビットに転送し、このような動作を予め定める回数Mだけ繰返した後、送信すべき信号の各フレーム毎に各ビットとメモリのストア内容の各ビットとの排他的論理和を演算して出力する、そのような処理回路とを含むことを特徴とするスクランブル装置である。

【0010】

【作用】本発明に従えば、第1レジスタR1は複数nのセルD₁～D_nを有し、第2レジスタR2は同数nのセルE₁～E_nを有し、第3レジスタR3は少なくとも1つのセルQ₁～Q_sを有し、さらにメモリが備えられ、第1レジスタR1に初期値を設定した後、第3レジスタR3をクリアし、第1レジスタR1の内容を第2レジスタR2に複写し、その第2レジスタR2の最下位ビットをR3に加え、第2レジスタR2のストア内容を予め定める数($f_{(k+1)} - f_k$)のビット分だけ、下位方向にシフトし、その最終出力D_{f k}を複数セルの第3レジスタR3に加算し、あるいはまた1ビット分のセルを有する第3レジスタR3のストア内容との排他的論理和演算を行い第3レジスタR3にストアし、このような演算を、 $k = 1$ から予め定める数iまで繰返し、この第1レジスタR1の最下位ビットをメモリに順にストアしてゆき、第1レジスタR1を1ビット分だけ下位方向にシフトし、かつ複数ビットを有する第3レジスタR3の最下位ビットのストア内容、または1ビット分のセルを有する第3レジスタR3のストア内容を、第1レジスタR

1の最上位ビットに転送し、このような動作を予め定める回数Mだけ繰返した後、送信すべき信号の各フレーム毎に各ビットと、メモリのストア内容の各ビットとの排他的論理和を演算して出力する。PN加算方式によるスクランブルでは、フレームと呼ばれるブロック毎に初期化が行われる（同じPN信号列が用いられる）前記メモリのストア内容は1つのフレームのPN加算信号列に相当し、一度始めに計算しておけば、フレーム毎に計算し直す必要がないので何回でも使うことができる。このような演算は、コンピュータのプログラム演算処理によつて実現され、したがつて前述の図3および図4に示される具体的な電気的構成を必要とせず、したがつてかかるハードウェア構成に対してもソフトウェアの対応のみで適応することができるので、実現が容易である。

【0011】

【実施例】図1は、本発明の一実施例のブロック図である。マイクロコンピュータなどによって実現される処理回路5には、信号発生回路4からは、テレビジョン・ファクシミリ多重放送において送信すべき放送フォーマットの信号が outputされる。処理回路5には、フロッピーディスクやキーボードなどのプログラム入力手段6が接続される。また処理回路5には、第1レジスタR1と第2レジスタR2と第3レジスタR3とが接続され、さらにメモリ7が備えられる。このような処理回路5は、図3に示される電気回路と同様なスクランブル動作を行う。

【0012】図2は、図1に示される処理回路5の動作を説明するためのフローチャートである。図1および図2を併せて参照して、第1レジスタR1は複数nのセルD₁～D_nを有しており、ステップa1においてその第1レジスタR1に初期値が設定され、すべての各セルD₁～D_nには、初期値P₁～P_nがそれぞれ入力される。P₁～P_nは、論理「1」または論理「0」である。このステップa1では、処理回路5に備えられているカウンタ8の計数値Nが0に設定される。このカウンタ8の値Nは、今現在、第1レジスタR1を何ビットシフトしたかを表す。

【0013】第2レジスタR2は、第1レジスタR1のセルD₁～D_nの数n以上の数のセルE₁～E_nを有してもよい。

【0014】ステップa2では、第3レジスタR3を論理「0」にクリアする。この第3レジスタR3は複数sのセルQ₁～Q_sを有してもよい。第1レジスタR1のストア内容は、その第1レジスタR1の内容を保持したままで、第2レジスタR2に転送される。ステップa3では、第2レジスタR2の最下位ビットE₁のストア内容を、第3レジスタR3の最下位のセルQ₁に転送し、このとき第2レジスタR2を1ビットだけ図1の右方にシフトする。

【0015】そこで次のステップa4では、シフトレジスタR2を、(f₁-1)回、すなわち(f₁-1)ビ

ビット分だけ、右方にシフトし、その最終出力 D_{f1} を、第3レジスタ R_3 に加算する。これによってその第3レジスタ R_3 の最下位のセル Q_1 には、前記最終出力 D_{f1} とセル Q_1 に初めてストアされていた内容との排他的論理和が演算されることになり、その演算結果が最下位のセル Q_1 にストアされることになる。

【0016】ステップ a 5 では、 k を 1 にセットし、次のステップ a 6 では、第2レジスタ R_2 を、 $(f_{(k+1)} - f_k)$ のビット分だけ、右方にシフトし、その最終出力 D_{fk} を、第3レジスタ R_3 に加算する。こうして第3レジスタ R_3 の最下位のセル Q_1 には、最終出力 D_{fk} とそのセル Q_1 の初めのストア内容との排他的論理和がストアされることになる。

【0017】次のステップ a 7 では、 $(k+1)$ が予め定めた数 i に達したかどうかが判断され、そうでなければ、次のステップ a 8 において値 k を 1 だけインクリメントし、ステップ a 6 に戻る。このようにして、第3レジスタ R_3 の最下位のセル Q_1 には、その第3レジスタ R_3 のセル Q_1 のストア内容を同一の参照符 R_3 で表すとすると、数 i で示される演算結果がストアされることになる。

【0018】

【数1】

$$R_3 = D_1 \oplus D_{f1} \oplus D_{f2} \oplus \cdots \oplus D_{fi}$$

【0019】次のステップ a 9 では、レジスタ R_1 の最下位ビット D_1 の内容を、メモリ 7 にストアする。このメモリ 7 は、PN 信号の 1 周期分（スクランブルの単位である 1 フレーム分）のビット数 (M) をストアする容量を有し、たとえば 1152 バイトであってもよい。

【0020】ステップ a 10 では N をインクリメントし、ステップ a 11 では、カウンタ 8 の計数値 N が、予め定める値 M 、すなわち前述の 1152 バイトに達したかどうかが判断され、計数値 N が値 M 未満であるときには、ステップ a 13 に移る。次のステップ a 13 では、レジスタ R_1 を 1 ビット分だけ右方にシフトし、その後ステップ a 14 では、第3レジスタ R_3 の最下位のセル Q_1 のストア内容を、第1レジスタ R_1 の最上位セル D_n にストアする。このステップ a 14 から、元のステップ a 2 に戻って、同様の演算を繰返す。

【0021】ステップ a 11 においてカウンタ 8 の計数値 N が、予め定める値 M に等しいときには、ステップ a 12 に移り、テレビジョン・ファクシミリ多重放送のファクシミリ信号の放送フォーマットになってインターリープされた G_3 (CCITT勧告 T. 4) の信号発生回路 4 からの信号の各フレーム毎に各ビットと、メモリ 7 のストア内容の各ビットとの排他的論理和が演算され、ライン 9 (図 1 参照) から導出され、この信号は、一旦メモリ 10 にストアされ、その後放送されてもよく、あるいはまたライン 9 からの信号をいわゆるリアルタイムで送信手段 1 1 によって放送するようにしてもよい。この

ような図 1 および図 2 に示される実施例は、受信回路においてもまた前述の図 4 のように、用いられてもよい。このとき信号発生回路 4 は、受信された信号を発生する。

【0022】メモリ 10 は、たとえばフロッピディスクなどであって、着脱可能な内部記憶装置によって実現されてもよい。また信号発生回路 1 4 は信号をリアルタイムで発生してもよいが、ハードディスクなどの記録・再生手段であってもよい。

10 【0023】本発明の他の実施例として、第3レジスタ R_3 は、単一のセル Q_1 だけを有するレジスタであってもよく、このときには、そのセル Q_1 のストア内容と、前記最終出力 D_{fk} との排他的論理和演算を行い、その演算結果が、同じセル Q_1 にストアされることになる。その他の動作は前述の実施例と同様である。

【0024】

【発明の効果】以上のように本発明によれば、複数のセルを有する第1レジスタ R_1 と、同数のセルを有する第2レジスタ R_2 と、少なくとも 1 つのセルを有する第3

20 レジスタとメモリとを備え第3レジスタ R_3 をクリアした後、第1レジスタ R_1 を初期設定し、その内容を第2レジスタ R_2 に転送し、第2レジスタ R_2 の最下位ビットを R_3 に加え、第2レジスタ R_2 のストア内容を、予め定める数 $(f_{(k+1)} - f_k)$ のビット分だけ、一方向にシフトし、その最終出力 D_{fk} を第3レジスタ R_3 に加え、このような演算を $k = 1$ から予め定める数 i まで繰返し、第1レジスタ R_1 の最下位ビットを、メモリに順にストアし、第1レジスタ R_1 を 1 ビット分だけ下位方向にシフトし、かつ第3レジスタ R_3 の最下位ビ

30 ットのストア内容を、第1レジスタ R_1 の最上位ビットに転送し、このような動作を予め定める回数 M だけ繰返した後、送信すべき信号の各フレーム毎に各ビットと、メモリのストア内容の各ビットとの排他的論理和を演算するようにしたので、マイクロコンピュータなどのソフトウェアによってスクランブルの実現が可能となった。同一の PN 信号を用いてスクランブルを行うときは、一度メモリにストアされた信号がそのまま使用できるので、図 2 のステップ a 1 ~ a 11 および a 13 ~ a 14 を省略することができる。また実際の回路を必要としないので経済的であり、またソフトウェア処理のため、いかなるハードウェア構成に対しても簡単かつ迅速に適応することができる。

【図面の簡単な説明】

【図 1】本発明の一実施例のプロック図である。

【図 2】図 1 に示される処理回路 5 の動作を説明するためのフローチャートである。

【図 3】従来からの擬似乱数符号重畠方式 (PN 加算方式) による信号のスクランブルを行う構成を示す図である。

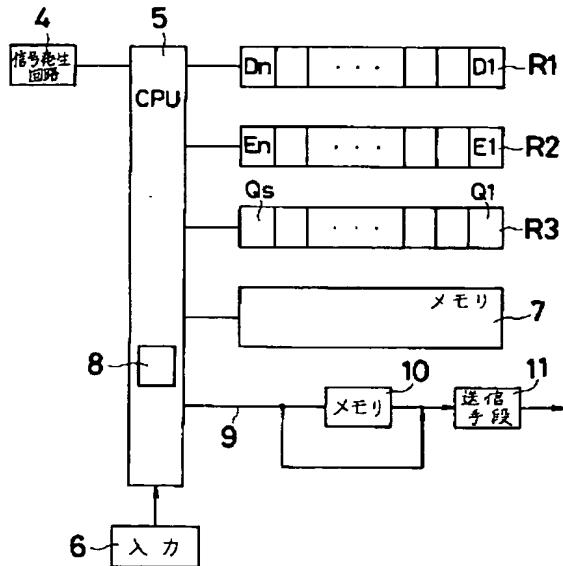
50 【図 4】図 3 に示されるスクランブル信号の受信 (デス

9
クランブル)を行うための構成を示すブロック図である。

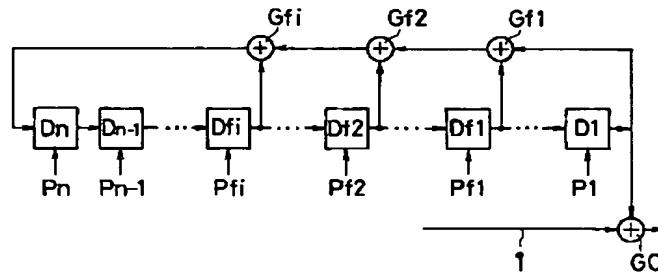
【符号の説明】

4 信号発生回路
5 CPU
6 入力手段
7 メモリ
8 カウンタ
9 クランブル回路
10 メモリ
11 送信手段

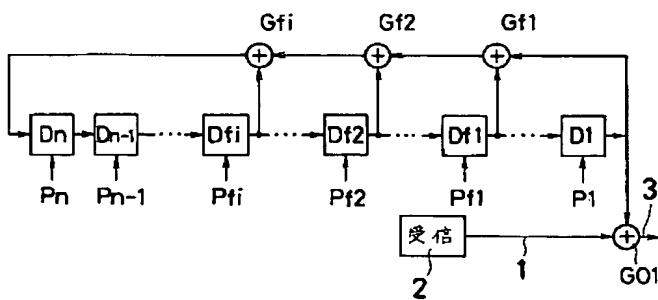
【図1】



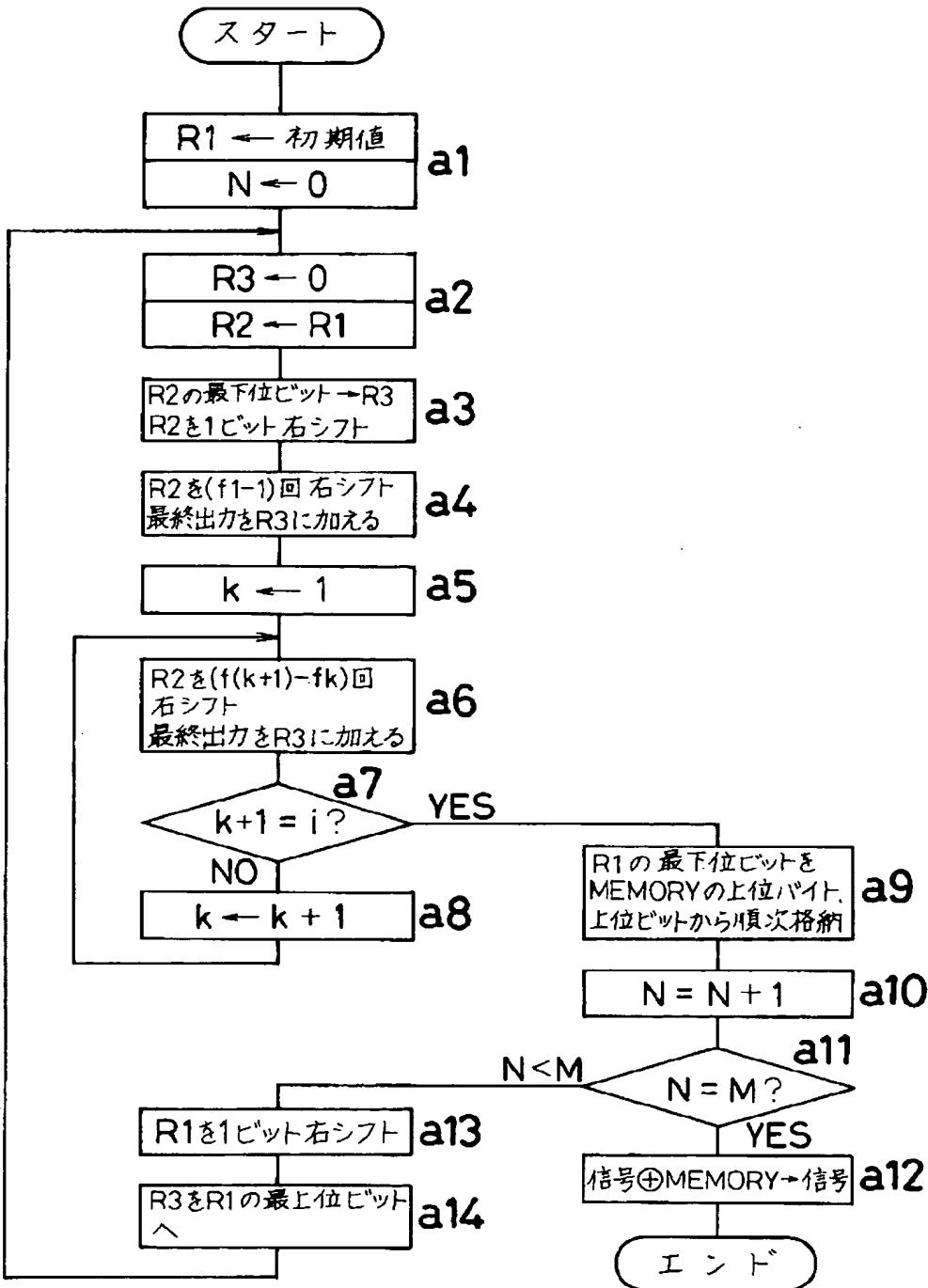
【図3】



【図4】



【図2】



【手続補正書】

【提出日】平成4年6月12日

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】0022

【補正方法】変更

【補正内容】

【0022】メモリ10は、たとえばフロッピディスクなどであって、着脱可能な内部記憶装置によって実現されてもよい。また信号発生回路4は信号をリアルタイムで発生してもよいが、ハードディスクなどの記録・再生

手段であってもよい。

フロントページの続き

(51) Int. Cl. 5

// H 04 N 7/167

識別記号

府内整理番号

8943-5C

F I

技術表示箇所